

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-196989

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.⁵

H 0 3 K 17/22
3/02

識別記号

E

庁内整理番号

9184-5 J
8124-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数8(全 6 頁)

(21)出願番号 特願平4-343664

(22)出願日 平成4年(1992)12月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地 1

(72)発明者 森下 賢

神奈川県川崎市川崎区駅前本町25番地 1

東芝マイクロエレクトロニクス株式会社内

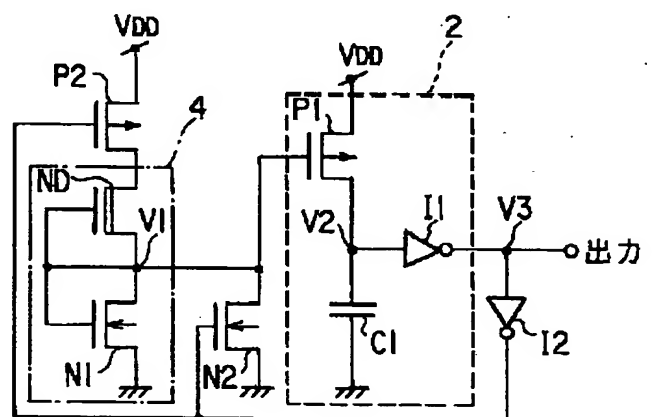
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 パワーオン・リセット回路

(57)【要約】

【目的】 電源電圧の立上がり特性にかかわらず所定のリセット・パルスを発生することが可能であり、パターン面積を小さくまた素子数を少なく抑えたパワーオン・リセット回路を提供すること。

【構成】 本発明に係るパワーオン・リセット回路は、外部電源により与えられる所定の電圧を入力電圧とし、予め設定された電圧を越える入力電圧にตอบสนองして前記予め設定された電圧を出力し、予め設定された電圧以下の入力電圧にตอบสนองして当該入力電圧を出力するための電圧制御手段と、前記外部電源により与えられる電圧と前記電圧制御手段の出力電圧とを入力し、前記2つの電圧の差が所定の値に達したことにตอบสนองして、所定のパルスを出力するためのパルス発生手段とを有する。



(2)

【特許請求の範囲】

【請求項1】外部電源により与えられる所定の電圧を入力電圧とし、予め設定された電圧を越える入力電圧にตอบสนองして前記予め設定された電圧を出力し、予め設定された電圧以下の入力電圧にตอบสนองして当該入力電圧を出力するための電圧制御手段と、

前記外部電源により与えられる電圧と前記電圧制御手段の出力電圧とを入力し、前記2つの電圧の差が所定の値に達したことにตอบสนองして、所定のパルスを出力するためのパルス発生手段とを有することを特徴とするパワーオン・リセット回路。

【請求項2】前記電圧制御手段は、

前記外部電源に接続されたドレインとこの電圧制御手段の出力端子に接続されたゲートおよびソースとを有するNチャネル・デプレッション型MOSトランジスタと、接地されたソースと前記出力端子に接続されたゲートおよびドレインとを有する第1のNチャネルMOSトランジスタとにより構成されることを特徴とする請求項1に記載の回路。

【請求項3】前記パルス発生手段は、

ドレインと前記電圧制御手段の出力端子に接続されたゲートと前記外部電源に接続されたソースとを有する第1のPチャネルMOSトランジスタと、一端が前記PチャネルMOSトランジスタのドレインに接続され他端が接地されたコンデンサと、前記第1のPチャネルMOSトランジスタのドレインに接続された入力端とこのパワーオン・リセット回路の出力を与える出力端とを有する第1のCMOSインバータとにより構成されることを特徴とする請求項1または2に記載の回路。

【請求項4】前記外部電源および前記電圧制御手段の間に接続され、前記発生された所定のパルスにตอบสนองして、前記外部電源および前記電圧制御手段の接続を遮断するための第1の切替え手段をさらに有することを特徴とする請求項1ないし3のいずれか1項に記載の回路。

【請求項5】前記第1の切替え手段は、

ゲートと前記外部電源に接続されたソースと前記電圧制御手段の入力端に接続されたドレインとを有する第2のPチャネルMOSトランジスタと、前記パルス発生回路の出力端に接続された入力端と前記第2のPチャネルMOSトランジスタのゲートに接続された出力端とを有する第2のCMOSインバータにより構成されることを特徴とする請求項4に記載の回路。

【請求項6】前記電圧制御手段および前記パルス発生手段の接続点に接続され、前記発生された所定のパルスにตอบสนองして、接続点を接地するための第2の切替え手段をさらに有することを特徴とする請求項4または5に記載の回路。

【請求項7】前記第2の切替え手段は、

ゲートと前記電圧制御手段および前記パルス発生手段の

2

接続点に接続されたドレインと接地されたソースとを有する第2のNチャネルMOSトランジスタと、前記パルス発生回路の出力端に接続された入力端と前記第2のNチャネルMOSトランジスタのゲートに接続された出力端とを有する第3のCMOSインバータにより構成されることを特徴とする請求項6に記載の回路。

【請求項8】前記第1の切替え手段および前記第2の切替え手段の変わりに、

ゲートと前記外部電源に接続されたソースと前記電圧制御手段の入力端に接続されたドレインとを有する第2のPチャネルMOSトランジスタと、ゲートと前記電圧制御手段および前記パルス発生手段の接続点に接続されたドレインと接地されたソースとを有する第2のNチャネルMOSトランジスタと、前記パルス発生回路の出力端に接続された入力端と第2のPチャネルMOSトランジスタのゲートおよび前記第2のNチャネルMOSトランジスタのゲートに接続された出力端とを有する1つのCMOSインバータにより構成される切替え手段を有することを特徴とする請求項6に記載の回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電源電圧投入時にシステムを初期化するパワーオン・リセット回路に関し、特にソーラ電卓等のように電源電圧が緩やかに立ち上がる場合があるシステムに用いられるパワーオン・リセット回路に関する。

【0002】

【従来の技術】システムを起動する場合、電源電圧が投入された直後に、まずシステムを初期化するのが通常である。この電源電圧投入時の初期化に供されるリセット・パルスを発生するための回路がパワーオン・リセット回路である。図1に、従来のパワーオン・リセット回路を示す。

【0003】この回路は、エンハンスメント型PチャネルMOSトランジスタP11と、コンデンサC11と、CMOSインバータI11により構成される。そして、前記トランジスタP11のゲートは接地され、ソースは電源V_{DD}に接続され、ドレインは前記コンデンサC11の一端および前記インバータI11の入力端に接続されている。また、前記コンデンサC11の他端は接地され、前記インバータI11の出力端V13はこの回路自体の出力端となっている。

【0004】図2に、前記回路に供給される前記電源V_{DD}の電圧が急峻に立ち上がった時の、前記トランジスタP11のドレインと前記コンデンサC11との接点V12および出力端V13の電圧の応答を示す。

【0005】この場合、前記接点V12の電位は、前記トランジスタP11のオン抵抗Rおよび前記コンデンサC11の容量Cにより決定される時定数CRに従って、

(3)

3

電源電圧より緩やかに立ち上がるような過渡応答を示す。それゆえ、接点V12の電位がインバータI11の回路閾値 $V_{TH}(I11)$ を越えるまでは、出力端V13にはHレベルが出力され、前記接点V12の電位が前記インバータI11の回路閾値 V_{TH} を越えた後は、Lレベルが出力される。従って、この場合、前記電源 V_{DD} の電圧の立ち上り特性、前記時定数(CR)および前記インバータI11の回路閾値 V_{TH} により決定される時間幅を有するリセット・パルスが出力され、このパルスによりシステムはリセットされる。

【0006】しかし、このパワーオン・リセット回路は次のような欠点を有する。すなわち、上記と異なり、電源 V_{DD} の供給する電圧が十分緩やかに、すなわち、前記時定数CRに対してステップ入力と見なせない程度に緩やかに立ち上がった場合、前記電源 V_{DD} の電圧変化に対して前記接点V12の電位が十分追従してしまうことがある。すると、前記接点V12の電位は常に前記インバータI11の回路閾値 V_{TH} より高くなり、常に出力端V13の電位はLレベルが出力される。従って、この場合、リセット・パルスが出力されないという不都合が生じる。このリセット・エラーは、例えば、本回路が電源としてソーラ電源を用いるようなアプリケーション(ソーラ電卓等)に用いられた場合に生じ得る。

【0007】また、このエラーの回避のために前記時定数CRを十分大きくすることは、その素子面積を増大させる結果となり、それゆえチップ全体の面積を増大させるという問題点があった。

【0008】また、電源 V_{DD} の供給する電圧が十分緩やかに立ち上がった場合のために、上記回路に並列させて、投入された電源電圧が予め設定された電圧に達したことに応答して強制的にリセット・パルスを発生するサポート的回路を設けるという対策もあるが、このサポート的回路は、前記パワーオン・リセット回路のシンプルさに比較し、極めて複雑な回路になるという欠点があった。

【0009】

【発明が解決しようとする課題】本発明は、上記事情を考慮してなされたもので、電源電圧の立ち上がり特性にかかわらず所定のリセット・パルスを発生することが可能であり、パターン面積を小さくまた素子数を少なく抑えたパワーオン・リセット回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明における課題解決手段は、外部電源により与えられる所定の電圧を入力電圧とし、予め設定された電圧を越える入力電圧に応答して前記予め設定された電圧を出力し、予め設定された電圧以下の入力電圧に応答して当該入力電圧を出力するための電圧制御手段と、前記外部電源により与えられる電圧と前記電圧制御手段の出力電圧とを入力し、前記2つ

4

の電圧の差が所定の値に達したことに応答して、所定のパルスを出力するためのパルス発生手段とを有することを特徴とする。

【0011】

【作用】上記構成において、電圧制御手段は、外部電源により与えられた入力電圧が予め設定された電圧を越えた場合、入力電圧を前記設定電圧で打ち切る作用を施して、前記設定電圧を出力し、外部電源により与えられた入力電圧が予め設定された電圧以下の場合、当該入力電圧を出力する。

【0012】また、電圧制御手段は、外部電源の供給電圧と前記電圧制御手段との出力電圧を入力し、前記投入された電源電圧が十分緩やかに上昇しても急峻に立ち上がった後も、前記電源電圧が前記設定電圧に達した後に発生する前記2つの電圧すなわち外部電源の供給電圧と前記電圧制御手段との出力電圧の差が所定の値に達したことに応答して所定のパルスを出力する。

【0013】

【実施例】以下、図面を参照しながら実施例を説明する。図1に、本発明の一実施例に係るパワーオン・リセット回路の回路図を示す。前記回路は、パルス生成部2、電圧制御部4および切替え制御部により構成される。

【0014】パルス生成部2は、第1のエンハンスメント型PチャネルMOSトランジスタ(以下、トランジスタP1)と、コンデンサC1と、第1のCMOSインバータI1を含む。トランジスタP1のソースは電源 V_{DD} に接続されており、ドレインはコンデンサC1の一端および第1のインバータI1の入力側に接点V2において接続されており、ゲートは後述する電圧制御部4の出力端および切替え制御部のソースが接地されたトランジスタN2のドレインに接続されている。前記コンデンサC1の他端は接地されており、前記第1のインバータI1の出力端はパルス生成部2の出力を与えすなわちこのパワーオン・リセット回路の出力を与える。また、後述するように、この出力は接点V3から前記切替え制御部にフィードバックされる。

【0015】電圧制御部4は、第1のエンハンスメント型NチャネルMOSトランジスタ(以下、トランジスタN1)と、デプレッション型NチャネルMOSFETトランジスタ(以下、トランジスタND)を含む。トランジスタN1のソースは接地されている。また、前記トランジスタN1のゲートおよびドレインと前記トランジスタNDのゲートおよびソースとの4つの端子はすべて接続されており、この接点V1はこの電圧制御部4の出力端をなす。前記DタイプのN型トランジスタNDのドレインは、後述する切替え制御部のソースが電源 V_{DD} に接続されたトランジスタP2のドレインに接続されている。

【0016】切替え制御部は、第2のエンハンスメント

(4)

5

型NチャネルMOSトランジスタ（以下、トランジスタN2）と、第2のエンハンスメント型PチャネルMOSトランジスタ（以下、トランジスタP2）と、第2のCMOSインバータI2を含む。前記トランジスタN2のソースは接地され、ドレインは前記パルス生成部2の前記トランジスタP1のソースおよび電圧制御部4の出力端に接続されている。前記トランジスタP2のソースは電源V_{DD}に接続され、ドレインは前記電圧制御部4のトランジスタNDのドレインに接続されている。また、前記第2のインバータI2の入力端は、接点V3において前記パルス生成部分2の出力端に接続されており、前記第2のインバータI2の出力端は、前記トランジスタN2のゲートおよび前記トランジスタP2のゲートに接続され、このパワーオン・リセット回路の出力をフィードバックしている。次に、電源V_{DD}が投入され、電源電圧が十分に緩やかに立ち上がった場合における本回路の動作について図1および図2を参照しながら説明する。

【0017】図2は、前記回路の各接点における電圧の時間変化を示す図である。なお、前記トランジスタP1の閾値V_{TH}(P1)の大きさあるいは各曲線の傾き等は、説明のために多少比例関係を崩して描かれている。まず、主として前記電圧制御部4の動作について説明する。

【0018】電源V_{DD}が投入され、電源電圧が十分緩やかに立ち上がった場合、前記トランジスタP1はオフの状態であるので、接点V2の電位は0Vであり、それゆえ接点V3はHレベルの状態にある。従って、前記インバータI2によりLレベルの信号が前記トランジスタN2および前記トランジスタP2のそれぞれのゲートに与えられる。よって、このとき、前記トランジスタN2はオフの状態となり、前記トランジスタP2はオンの状態となる。オン状態の前記トランジスタP2により電源電圧は前記電圧制御部4に与えられる。そして、図2の曲線V_{DD}とV1とが示すように、前記電圧制御部4の出力端V1における電位は、前記トランジスタNDを流れる電流が飽和するまでは、ほぼ電源電圧と等しくなり、電源電圧が上昇して前記電流が飽和に達した後は前記トランジスタN1には一定の電流しか流れないので、出力端V1における電位はその後の電源電圧の上昇にかかわらず予め設定された一定の電圧V_Cとなる。この接点V1の電圧が、前記パルス生成部2のトランジスタP1のゲートに与えられる。次に、前記電圧制御部4の出力を受けた前記パルス生成部2の動作について説明する。

【0019】前述のように、トランジスタP1のゲートに与えられる電圧は、電源V_{DD}が投入され電源電圧が上昇して前記電圧V_Cに達するまでは、電源電圧とほぼ等しく、前記トランジスタP1のソース・ゲート間電圧はほぼ0Vであるので、この間、前記トランジスタP1はオフの状態にある。また、前記インバータI1にはLレベルの信号が入力されるので、接点V3の電位はHレベルとなる。すなわち、このパワーオン・リセット回路の

6

出力としてHレベルが出力される。そして、電源電圧が前記電圧V_Cを越えると、前記トランジスタP1のソース・ゲート間には、前記電圧V_Cと電源電圧との差の分の電圧がかかり、図2の時間t1におけるように、このソース・ゲート間電圧がそのトランジスタP1自身の閾値V_{TH}(P1)を（負の方向に）越えると、それはオンの状態になる。そして、この接点V2の電位が上昇し、その際、図2の時間t2において、前記接点V2の電位が前記インバータの回路の閾値V_{TH}(I1)を越えてHレベルとなり、それに応答する前記インバータI1の作用により、それまで電源電圧とともに電位が上昇しHレベルであった接点V3の電位つまりこのパワーオン・リセット回路の出力電圧はLレベルに反転する。

【0020】それゆえ、本発明によれば、電源電圧V_{DD}の電圧が緩やかに立ち上がった場合でも、前記電源V_Dの電圧の立ち上がり特性、前記トランジスタP1の閾値V_{TH}(P1)および前記インバータI1の回路閾値V_{TH}(I1)により決定される時間幅を有するリセット・パルスが出力され、このパルスによりシステムはリセットされることが可能となる。

【0021】ここで、前記電圧制御部4を構成するトランジスタNDおよびトランジスタN1のデメンションを適宜設計することにより、前記電圧制御部4の出力である前記接点V1に所望の電圧を得ることが可能であり、それにより関連するシステムへのリセット・パルスを出力するための電源電圧を任意に設定することができる。

【0022】次に、前記切替え制御部の動作について説明する。前述のように、電源が投入され、このパワーオン・リセット回路からリセット・パルスが出力されるまで、前記接点V3の電位は（そのときの電源電圧における）Hレベルであり、この出力は前記インバータI1により反転されて前記トランジスタP2および前記トランジスタN2のそれぞれのゲートに与えられ、この間、前記トランジスタP2は、オン状態となり、前記トランジスタN2はオフ状態となる。そして、前述のようなリセット・パルス発生動作がなされる。ここでは、上記説明においてこのパワーオン・リセット回路からリセット・パルスが出力された後の動作について説明する。前記リセット・パルスが出力されたとき、そのLレベルに反転した出力電圧は同時に前記インバータI2に与えられ、レベルが反転されて、前記トランジスタP2および前記トランジスタN2に与えられる。そして、ゲートにHレベルが与えられた前記トランジスタP2はオフ状態になり、前記電圧制御部4への電源の供給が停止される。従って、前記インバータI2および前記トランジスタP2のみの構成により、システムがリセットされ稼動を開始した後の前記電圧制御部4の消費電流を抑えることができ、パターン面積を小さく抑えることが可能である。

【0023】また、ゲートにHレベルを与えて前記トランジスタN2をオン状態にすることにより、電源の供給

(5)

が停止された前記電圧制御部4の出力電圧を入力とするためにフローティング状態となった前記トランジスタのP1ゲートをLレベルにバイアスして安定させることが可能となる。

【００２４】次に、電源電圧が急峻に立ち上がった場合の当該装置の動作について説明する。従来の回路では前記ゲートは常に接地されているのに比較して、本実施例においては、前述の説明のように電源電圧が投入されてから前記トランジスタＰ１のゲートの電位つまり接点Ｖ１の電位が前記設定電圧Ｖ_Cになるまで上昇する点が異なる。従って、前記トランジスタＰ１がオンするタイミングが若干異なるが、電源電圧は急峻に立ち上がるので、この相違は電源電圧の立ち上がり時間の範囲に吸収される。それゆえ、この場合、図１の回路においても従来の回路とほぼ同様の作用によりまたほぼ同様の応答特性をもって（図４参照）リセット・パルスが発生される。なお、動作の詳細な説明については、上記相違点以外は従来の回路における動作説明の繰り返しになるので、簡略化のために省略する。さらに、前記切替え制御部の動作については、電源電圧が十分緩やかに立ち上がった場合と全く同一である。

【0025】以上の説明のように、本発明によれば、投入された電源電圧が十分緩やかに立ち上がった場合においても、電源電圧が急峻に立ち上がった場合においても、リセット・パルスを発生することができる。また、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0026】

【発明の効果】本発明により、電源電圧が急峻に立ち上

がっても、また緩やかに立ち上がっても、その立ち上がり特性にかかわらず、所定のリセット・パルスを発生し、関連するシステムをリセットすることができる。また、本発明のパワーオン・リセット回路は、パターン面積を小さくまた素子数を少なく抑えて構成することができる。

【図面の簡単な説明】

【図１】本発明の一実施例に係るパワーオン・リセット回路を示す回路図である。

【図2】図1の回路の各接点における電圧の時間変化を示す図である。

【図3】従来のパワーオン・リセット回路を示す回路図である。

【図4】図3の回路の各接点における電圧の時間変化を示す図である。

【符号の説明】

C1…コンデンサ、

I 1…第1のインバータ、

12…第2のインバータ、

20 N1…第1のエンハンスメント型NチャネルMOSトランジスタ、

N2…第2のエンハンスメント型NチャネルMOSトランジスタ、

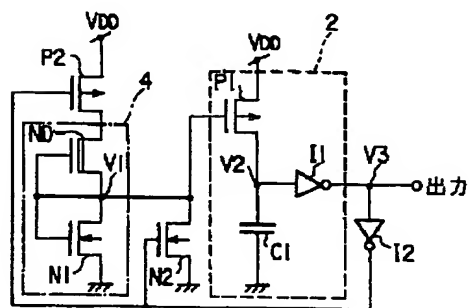
ND…デプレッション型NチャネルMOSトランジスタ、

P1…第1のエンハンスメント型PチャネルMOSトランジスタ、

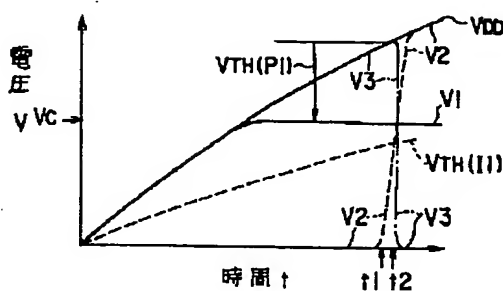
P2…第2のエンハンスメント型PチャネルMOSトランジスタ、

³⁰ V_{DD} …電源、 V_1 , V_2 , V_3 …接点。

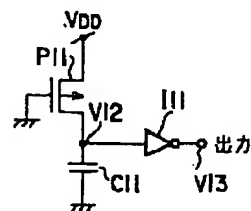
【图 1】



【图 2】



【图 3】



(6)

【図4】

